

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 07078815
PUBLICATION DATE : 20-03-95

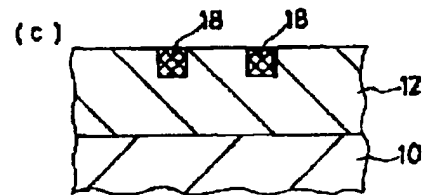
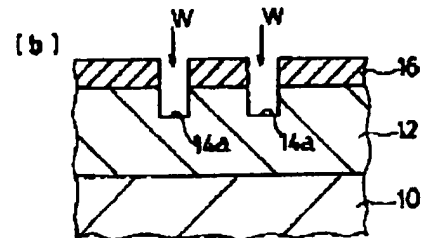
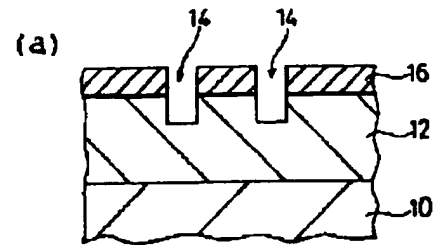
APPLICATION DATE : 30-06-93
APPLICATION NUMBER : 05160826

APPLICANT : KAWASAKI STEEL CORP;

INVENTOR : MIYAMOTO IKUO;

INT.CL. : H01L 21/3205 H01L 21/28 H01L 21/285

TITLE : SEMICONDUCTOR DEVICE AND ITS
MANUFACTURE



ABSTRACT : PURPOSE: To provide a semiconductor device and its manufacturing method wherein the coverage of a step-difference in a fine device is sufficiently ensured, the wiring formation process can be simplified, and low resistance wiring of high reliability is formed.

CONSTITUTION: By an ion implantation method, W ions are implanted in the bottom part 14a of a wiring trench 14. This ion implantation is performed by using resist 16 as a mask which resist has been stuck at the time of forming the wiring trench 14. As the result, a layer containing W is formed in the bottom part 14a of the wiring trench 14.

COPYRIGHT: (C)1995,JPO

JP 7-78815
303.664us1

1/9/1

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

04786215 **Image available**

SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

PUB. NO.: 07-078815 JP 7078815 A]
PUBLISHED: March 20, 1995 (19950320)
INVENTOR(s): MIYAMOTO IKUO
APPLICANT(s): KAWASAKI STEEL CORP [000125] (A Japanese Company or
Corporation), JP (Japan)
APPL. NO.: 05-160826 [JP 93160826]
FILED: June 30, 1993 (19930630)
INTL CLASS: [6] H01L-021/3205; H01L-021/28; H01L-021/285
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)
JAPIO KEYWORD:R100 (ELECTRONIC MATERIALS -- Ion Implantation)

ABSTRACT

PURPOSE: To provide a semiconductor device and its manufacturing method wherein the coverage of a step-difference in a fine device is sufficiently ensured, the wiring formation process can be simplified, and low resistance wiring of high reliability is formed.

CONSTITUTION: By an ion implantation method, W ions are implanted in the bottom part 14a of a wiring trench 14. This ion implantation is performed by using resist 16 as a mask which resist has been stuck at the time of forming the wiring trench 14. As the result, a layer containing W is formed in the bottom part 14a of the wiring trench 14.

?

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-78815

(43) 公開日 平成7年(1995)3月20日

(51) Int. Cl.⁵

識別記号 庁内整理番号

F I

技術表示箇所

H 0 1 L 21/3205
21/28
21/285

3 0 1 R 7376-4M
C 7376-4M

審査請求 未請求 請求項の数 2 O L (全 4 頁)

(21) 出願番号 特願平5-160526

(22) 出願日 平成5年(1993)6月30日

(71) 出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72) 発明者 宮本 郁生

東京都千代田区内幸町2丁目2番3号 川

崎製鉄株式会社東京本社内

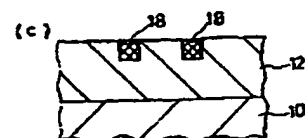
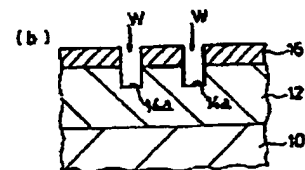
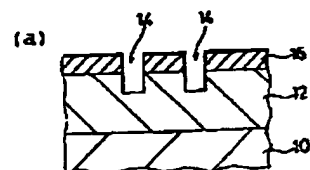
(74) 代理人 弁理士 小杉 佳男 (外2名)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 微細デバイスの段差部における被覆性を充分確保し、しかも、配線形成工程の単純化が達成できると共に低抵抗で高信頼性の高い配線を有する半導体装置及びその製造方法を提供する。

【構成】 イオン注入法により配線溝14の底部14aにWイオンを打ち込む。このイオン注入は、配線溝14を形成した時に塗布したレジスト16をそのままマスクにして行う。この結果、配線溝14の底部14aにWを含んだ層が形成される。



[0005]

【発明が解決しようとする課題】しかしながら、コンタクト孔の埋め込みだけをCVD法により形成することは、プロセスの複雑化・冗長化につながりコストアップが生じるという問題がある。また、配線抵抗を下げ、かつ、耐エレクトロマイグレーション性、耐ストレスマイグレーション性に優れた配線を形成するために、CuやCu合金を配線材料として用いると、Cu系配線は加工が困難であるため、実用化の障壁となるという問題がある。

【0006】本発明は、上記事情に鑑み、数値デバイスの段差部における被覆性を充分確保し、しかも、配線形成工程の単純化が達成できると共に低抵抗で信頼性の高い配線を有する半導体装置及びその製造方法を提供することを目的とする。

[0007]

【課題を解決するための手段】上記目的を達成するための本発明の半導体装置は、

(1) 半導体基板に形成された、配線溝及びコンタクト孔を有する絶縁膜

(2) 配線溝の底部に形成された、CuもしくはCu合金を選択成長させるための種金属を含む層

(3) 配線溝及びコンタクト孔に形成されたCu系配線
を被覆したことを特徴とするものである。

【0008】また、本発明の半導体装置の製造方法は、

(4) 半導体基板に接合膜を形成する工程

(6) 配線溝の底部に、CuもしくはCu合金を選択成長させるための種金属を含む層を形成する工程

30 (7) コンタクト孔及び種金属を含む層が形成された積層配線部に、CuもしくはCu合金を選択成長させることによりCu系配線を形成する工程を含むことを特徴とするものである。

【0009】ここで、上記の種金属として、W、Mo、Cu、Al等の遷移金属や金属性の強い典型元素を用いることが好ましい。また、配線溝の底部に種金属を含む層を形成する方法としては、イオン注入法により上記種金属を打ち込む方法、WF₆等のガスを利用して表面処理法、またはウェット処理による表面処理法などがあり、いずれの方法でも配線溝の底部に電子が密な状態をつくることにより種金属を含む層とすることができ、

[0010]

【作用】本発明の半導体装置ではCu系配線にしたため、Al系配線に比べ低抵抗でしかも耐エレクトロマイグレーション性、耐ストレスマイグレーション性に優れる。また、配線を囲む絶縁膜が、配線上部を除いて配線形成前に形成されているため、配線後に絶縁膜を形成する方法に比べ絶縁膜から受ける応力が小さくなり、半導体装置の信頼性を向上させることができる。

50 【0011】また、本発明の半導体装置の製造方法によ

3

れば、コンタクト孔と配線溝にCuやCu合金を選択成長させてCu系配線を形成するため、段差被覆性のよい配線が形成でき、段差部における局所的な電流密度の上昇などによる配線信頼性の低下を防止できる。また、予め配線溝を形成し、この配線溝の底部に、CuやCu合金の成長核になる種金属を含む層を形成することにより、配線溝にCuやCu合金を選択成長させてCu系配線を形成する。このため、Cuの困難な配線加工を行う必要がなく、ばらつきが小さい安定な線幅を有する配線を形成することができる。

【0012】

【実施例】以下、図面を参照して本発明の半導体装置及びその製造方法の一実施例を説明する。図1は、半導体装置の製造方法を示す部分断面図である。先ず、図1(a)に示されるように、周知の方法で半導体基板10上に絶縁膜とするSiO₂膜12を形成し、コンタクト孔（図示せず）を形成する。その後、周知の写真食刻法により配線溝14を形成する。この配線溝の深さは、設計による配線厚と同等にし、3000～6000Å程度の深さとする。

【0013】次に、図1(b)に示されるように、イオン注入法により配線溝14の底部14aにW（タングステン）イオンを打ち込む。このイオン注入は、配線溝14を形成した時に塗布したレジスト16をそのままマスクとして行う。この結果、配線溝14の底部14aにWを含んだ層が形成される。次に、半導体基板10を、反応炉内温度が200～350℃のCVD装置（図示せず）に挿入し、このCVD装置内に、原料ガスとしてCu（II）2-ヘキサフルオロアセチルアセトネイト銅及びH₂ガスを導入、20～80mm Torrにし、2～4分間の処理を行う。これにより、図1(c)に示されるように、3000～6000Å程度のCu層18が配線溝14に選択的に形成される。この工程では、図1(b)に示される工程において配線溝14の底部14aに打ち込まれたWがCuの成長核として働くため、配線溝14にCuが選択的に成長する。また、コンタクト孔（図示せず）の底部は、Cu配線が半導体基板10が露出しているため、Wを注入しなくても、Cuが選択的に成長する。

4

【0014】以上の工程後、絶縁膜を形成し、さらに図1に示される工程を繰り返すことにより、多層配線構造を有する半導体装置を形成することができる。上記の方法で製造された半導体装置は、従来のAl系配線の半導体装置に比べ配線抵抗を30～40%下げることができる。例えば銅Alで配線を形成した場合の抵抗3.3μΩcmに対し、純Cuで配線を形成すると抵抗2.6μΩcmとなる。さらに、配線幅0.8μm、配線厚み0.6μm、電流密度5×10⁴A/cm²の条件で寿命試験をすると、Al合金（Al-0.5wt%Cu）で形成されたAl配線に比べ数10倍～100倍配線寿命が向上する。また、銅の加工工程を伴わないため、ばらつきの小さい均一な配線幅を得ることができる。

【0015】本実施例では、図1(b)に示す工程で、銅の成長核として、Wを用いたが、Mo、Cu、Al等の遷移金属及び金属性の強い典型元素を用いてもよい。また、イオン注入により金属を打ち込んだが、イオン注入法のみならずWF₆等のガスを利用した表面処理法、ウェット処理による表面処理等により表面状態を変えることによる方法を用いてもよい。

【0016】

【発明の効果】以上説明したように本発明によれば、配線溝の底部に種金属を含む層を形成することにより、コンタクト孔だけではなく配線全部を、CuもしくはCu合金を選択成長させて形成したため、Cuの配線加工の問題を排除し高信頼性の低抵抗Cu系配線を得ることができ、しかも微細デバイスの段差部における被覆性を充分確保できる。

【図面の簡単な説明】

【図1】本発明の一実施例の半導体装置の製造方法を示す部分断面図である。

【符号の説明】

- 10 半導体基板
- 12 SiO₂膜
- 14 配線溝
- 14a 底部
- 16 レジスト
- 18 Cu層

(4)

特開平7-78815

【図1】

